



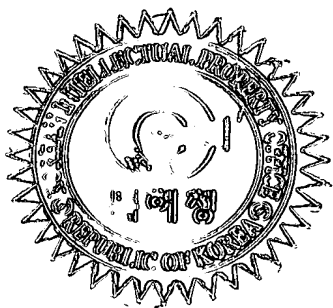
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0042160  
Application Number

출원년월일 : 2003년 06월 26일  
Date of Application JUN 26, 2003

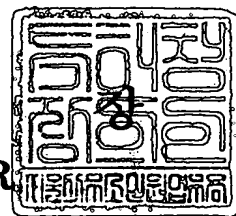
출원인 : 삼성전기주식회사  
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.



2003 년 07 월 10 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.06.26
【발명의 명칭】	색 보간용 라인 버퍼 및 라인 데이터 제공 방법
【발명의 영문명칭】	Line buffer and method of providing line data for color interpolation
【출원인】	
【명칭】	삼성전기주식회사
【출원인코드】	1-1998-001806-4
【대리인】	
【명칭】	청운특허법인
【대리인코드】	9-2002-100001-8
【지정된변리사】	이철 , 이인실, 최재승, 신한철
【포괄위임등록번호】	2002-065077-1
【발명자】	
【성명의 국문표기】	박상현
【성명의 영문표기】	PARK, Sang Hyun
【주민등록번호】	740420-1161911
【우편번호】	441-090
【주소】	경기도 수원시 권선구 고등동 50-4번지 대림빌라 501호
【국적】	KR
【발명자】	
【성명의 국문표기】	정종식
【성명의 영문표기】	JEONG, Jong Sik
【주민등록번호】	660321-1056239
【우편번호】	137-794
【주소】	서울특별시 서초구 잠원동 강변아파트 4동 902호
【국적】	KR
【발명자】	
【성명의 국문표기】	이연철
【성명의 영문표기】	LEE, Yeon Cheol
【주민등록번호】	671017-1162213

【우편번호】	442-741
【주소】	경기도 수원시 팔달구 영통동 황골마을 쌍용아파트 242동 704호
【국적】	KR
【발명자】	
【성명의 국문표기】	김강주
【성명의 영문표기】	KIM,Kang Ju
【주민등록번호】	760728-1661611
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 1051-7 201호
【국적】	KR
【발명자】	
【성명의 국문표기】	박형만
【성명의 영문표기】	PARK,Hyung Man
【주민등록번호】	751122-1052518
【우편번호】	135-080
【주소】	서울특별시 강남구 역삼동 710 현대까르띠에 710 101동 601호
【국적】	KR
【발명자】	
【성명의 국문표기】	곽부동
【성명의 영문표기】	KWAK,Boo Dong
【주민등록번호】	721210-1101812
【우편번호】	442-380
【주소】	경기도 수원시 팔달구 원천동 70-4번지 303호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 청운특허법인 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	11 면 11,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	14	항	557,000	원
【합계】	597,000		원	
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

본 발명은 디지털 카메라와 같은 영상 처리기를 포함하는 시스템에서, 3라인 보간 처리 과정에 데이터를 제공하는 라인 버퍼 및 상기 라인 버퍼를 이용한 라인 데이터 제공 방법에 관한 것이다.

본 발명에 따른 색 보간용 라인 버퍼는, 읽기 및 쓰기 가능한 단일 메모리; 상기 메모리에 이전에 기록된 전(prior) 센서 데이터를 2m 비트 단위로 불러들여 저장하는 전 센서 데이터 영역, 및 이미지 센서로부터 입력되는 현재(present) 화상 데이터를 2m 비트 단위로 저장하는 현 센서 데이터 영역을 포함하며, 상기 현 센서 데이터 영역의 출력은 상기 메모리에 연결된 버퍼 레지스터; 및 상기 메모리에 동작 인에이블 신호(CE), 쓰기 인에이블 신호(WE), 및 상기 현 센서 데이터 영역의 화상 데이터가 기록될 어드레스를 입력함으로써 상기 메모리를 제어하고, 상기 메모리 및 상기 버퍼 레지스터의 읽기 및 쓰기 동작을 제어하는 메모리 컨트롤러를 포함하며, 여기서 상기 m 비트는 상기 이미지 센서의 데이터 출력 단위인 것을 특징으로 한다.

**【대표도】**

도 5

**【색인어】**

메모리, 픽셀, 버퍼, 영상 처리, 보간, 3라인

**【명세서】****【발명의 명칭】**

색 보간용 라인 버퍼 및 라인 데이터 제공 방법{Line buffer and method of providing line data for color interpolation}

**【도면의 간단한 설명】**

도1는 베이어 패턴의 3×3 라인 보간법을 설명하기 위한 도면이다.

도2에는 종래의 3×3 라인 보간법 수행을 위한 3개 라인 화상 데이터를 동시에 영상 처리기에 입력하기 위한 구성이 도시되어 있다.

도3는 종래의 3×3 라인 보간법 수행을 위한 3개 라인 화상 데이터를 동시에 영상 처리기에 입력하기 위한 버퍼의 동작을 설명하는 타이밍도이다.

도4는 본 발명에 따른 3×3 라인 보간용 메모리 제공 장치를 나타낸다.

도5는 메모리와 메모리 컨트롤러 간의 데이터 전송을 위한 구성을 나타낸다.

도6은 본 발명에 따른 3×3 라인 보간용 3개 라인 화상 데이터를 동시에 영상 처리기에 제공하기 위한 메모리 제공 장치의 동작을 설명하는 타이밍도이다.

**<도면의 주요 부분에 대한 설명>**

401 : 이미지 센서    402 : 메모리 컨트롤러

403 : 메모리    404 : 영상 신호 처리기

405 : 버퍼 레지스터    411,412,413 : 데이터 출력 라인

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<11> 본 발명은 디지털 카메라와 같은 영상 처리기를 포함하는 시스템에서, 3 × 8라인 보간 처리 과정에 데이터를 제공하는 라인 버퍼 및 라인 데이터 제공 방법에 관한 것이다. 보다 구체적으로 본 발명은 메모리를 하나만 사용하여 영상 처리기에서 수행되는 여러 보간법 중 3 × 8 라인 보간 과정을 위해 요구되는 3라인 데이터를 제공함으로써 메모리 제어를 위해 요구되는 어드레스 및 메모리 컨트롤 신호의 수를 감소시킬 수 있는 라인 버퍼 및 라인 데이터 제공 방법에 관한 것이다.

<12> 최근의 디지털 카메라 등과 같이 필수적으로 영상 처리기를 포함하는 장치는 일반적으로 하나의 CCD를 사용하기 때문에 풀컬러(full-color) 영상을 얻기 위해서 우리는 각각의 화소에 대한 보다 많은 정보가 필요하다. 실제와 같은 영상을 나타내고자 할 때는 적어도 3가지 이상의 데이터를 필요로 하는데, 이것은 세가지 독립적인 칼라(RGB)의 화소값으로부터 추론할 수 있다. 컬러 영상에 대한 하나의 센서는 센서의 배열로 구성된 CFA(Color Filter Array)를 필요로 한다. 이러한 배열 속에서 센서의 각 화소들은 여러 개의 칼라 중에서 단 하나만의 칼라에 대한 화소값을 추출하게 되고 CFA를 이용하여 각각의 화소에 대한 잃어버린 화소의 정보를 그 주위의 화소에 대한 정보를 이용함으로써 추론할 수 있다. 이러한 방법이 가장 일반적인 방법이며 Bayer 패턴은 가장 일반적인 CFA로 알려져 있다. 즉, CFA 기반의 센서로부터 칼라 영상을 복구하는 것을 색 보간(interpolation) 또는 색 디모자이크(demosaicing) 알고리즘이라고 한다.

- <13> 보간의 알고리즘은 크게 비적응적 알고리즘(Nonadaptive algorithms)과 적응적 알고리즘(Adaptive algorithms)으로 나뉘어진다. 비적응적 알고리즘은 모든 화소에 대해서 고정된 패턴으로 보간하는 알고리즘으로 수행이 쉽고, 계산 양이 적은 장점이 있다. 적응적 알고리즘은 잃어버린 화소의 값을 찾기 위해 가장 효과적인 이웃 화소들의 특성을 이용하여 추정하는 알고리즘으로 계산량은 많지만 비적응적 알고리즘에 비해 더 나은 영상을 얻을 수 있다.
- <14> 비적응적 알고리즘의 방법에는 가장 인접한 이웃 화소 보간법, 양선형 보간법, 중간값 보간법, 점진적 색상 변화 보간법의 방법이 있으며, 적응 알고리즘의 방법에는 패턴 일치 보간 알고리즘, 기울기의 문턱치 기반 가변수를 이용한 보간법, 경계법, 보존 보간법 등의 방법이 있다.
- <15> CCD(charged coupled device) 이미지 센서는 실리콘의 웨이퍼 위에 광 다이오드를 여러 개 배치한 것으로서, 여기에 빛이 가해지면 광학적 에너지가 전기로 변환된다. 한편, CMOS(complementary metal oxide semiconductor) 이미지 센서는 CCD 이미지 센서보다 전력소모가 작고, 작게 만들 수 있지만, 화질이 떨어지는 단점이 있는 반도체 이미지 센서이다.
- <16> 도1은 베이어 패턴의 3×3 라인 보간법을 설명하기 위한 도면이다. 보간 장치에 도1의 (1)과 같은 3×3 라인 베이어 패턴이 제공되었을 때, RGB 값은 다음과 같다.
- <17>  $R = (R1 + R2 + R3 + R4)/4$ ,  $G = (G1 + G2 + G3 + G4)/4$ ,  $B = B1$
- <18> (2)와 같은 3×3 라인 베이어 패턴이 제공되는 경우에는,
- <19>  $R = (R1 + R2)/2$ ,  $G = G3$ ,  $B = (B1 + B2)/2$  이 되고,



- <20> (3)과 같은 3×8 라인 베이어 패턴이 제공되는 경우에는,
- <21>  $R = (R1 + R2)/2$ ,  $G = G3$ ,  $B = (B1 + B2)/2$  이 되며,
- <22> (4)와 같은 3×8 라인 베이어 패턴이 제공되는 경우에는,
- <23>  $R = R1$ ,  $G = (G1 + G2 + G3 + G4)/4$ ,  $B = (B1 + B2 + B3 + B4)/4$  이 된다.
- <24> 3×8 라인 베이어 패턴의 보간법으로는 위와 같이 주변 픽셀들 전체의 산술 평균을 이용하는 방식 이외에도, 주변 픽셀 들 중 최대 및 최소값을 제외한 나머지 값들의 산술 평균을 구하는 방법 등 여러 가지가 있다. 이와 같은 3×8 라인의 보간법 수행을 위해서는 3개 라인의 데이터를 동시에 영상 처리기로 입력해 주어야 한다.
- <25> 도2에는 종래의 3×8 라인 보간법 수행을 위한 3개 라인 화상 데이터를 동시에 영상 처리기에 입력하기 위한 구성이 도시되어 있다.
- <26> 각 라인이 n개의 픽셀로 이루어진 이미지 센서(201)로부터 제1라인의 데이터들이 m 비트 크기의 픽셀 단위로 라인 버퍼(202)의 메모리 컨트롤러(206)에 입력된다. 메모리 컨트롤러(206)는 입력된 제1 라인의 데이터들을 제1 메모리(204)에 저장한다. 그리고 나서, 이미지 센서(201)로부터 제2 라인의 데이터들이 마찬가지로 m 비트 크기의 픽셀 단위로 라인 버퍼(202)의 메모리 컨트롤러(206)에 입력된다. 메모리 컨트롤러(206)는 입력된 제2 라인의 데이터들을 제2 메모리(205)에 저장한다. 제1 메모리 및 제2 메모리에 저장하기 위해 데이터 외에 CE(control enable) 신호, WE(write enable) 신호 및 데이터가 기록될 위치를 지정하는 어드레스도 함께 제1 메모리 및 제2 메모리에 전달된다.
- <27> 도3는 종래의 3×8 라인 보간법 수행을 위한 3개 라인 화상 데이터를 동시에 영상 처리기에 입력하기 위한 버퍼의 동작을 설명하는 타이밍도이다.

<28> MCLK는 메모리 클럭을 나타내고, VSYNC는 이미지 센서가 촬상한 한 프레임의 시작을 알리는 수직 동기 신호이고, HSYNC는 이미지 센서가 출력하는 화상 데이터의 한 라인의 시작을 알리는 수평 동기 신호이고, 데이터는 이미지 센서로부터 입력되는 베이어 패턴으로 구성된 화상 데이터이고, 한 데이터는  $m$  비트의 용량을 갖는다. 도3에서 VSYNC 신호, 및 HSYNC 신호는 로우 레벨이 인에이블(enable) 상태, 하이 레벨이 디스에이블(disable) 상태인 것으로 가정한다. 도3에 도시된 바와 같이, VSYNC가 인에이블되면( $t_1$ ), 하나의 이미지 프레임이 출력되기 시작하고, HSYNC가 인에이블되면( $t_2$ ), 도2의 데이터 컨트롤러(206)는 제1 메모리(204)에 WE 신호를 입력시키고, 이미지 센서(201)로부터 제1 라인의 데이터(GBGB...)가 출력되어,  $t_2$ - $t_3$  사이에 출력된 데이터들은 도2의 제1 메모리(204)에 저장된다. 다시 HSYNC가 인에이블되면( $t_4$ ), 도2의 데이터 컨트롤러(206)는 제2 메모리(205)에 WE 신호를 입력시키고, 이미지 센서(201)로부터 제2 라인의 데이터(RGRG...)가 출력되어,  $t_4$ - $t_5$  사이에 출력된 데이터들은 도2의 제2 메모리(205)에 저장된다. 상기 제1 메모리(204)에 저장된 제1 라인 이미지 데이터, 상기 제2 메모리(205)에 저장된 제2 라인 이미지 데이터 및  $t_6$  이후에 출력되는 제3 라인 이미지 데이터는 동일 클럭으로  $3 \times 8$  라인 보간을 수행할 이미지 신호 처리기(203)로 전달된다.

<29> 이와 같은 종래 기술에서,  $3 \times 8$  라인 보간을 위한 데이터 공급을 위해서는  $n$ 개 픽셀로 구성된 한 라인의 데이터를 저장할 수 있는 메모리가 2개 필요하고, 각 메모리에 대해 동작 인에이블 신호(CE) 및 쓰기 인에이블 신호(WE) 2개가 필요하며, 각 메모리에  $n$ 개의 픽셀들을 저장하기 위한 어드레스  $2n$ 개가 필요하다.

<30> 최근 디지털 카메라 또는 디지털 캠코더와 같이 영상 처리기를 포함하는 장치에서의 화소수가 계속 증가되고 있고 이로 인해 영상 신호를 처리하기 위한 메모리 또한 그

에 맞춰 계속 증가되어야 한다. 이는 단순한 메모리의 물리적 크기 증가 외에도 메모리 제어를 위해 필요한 어드레스를 비롯한 컨트롤 신호가 점점 증가하여 메모리의 운용이 점점더 어려워 진다.

<31> 일본 공개특허 특개평 2000-115480호(발명의 명칭 : 화상독취장치)는 3개의 이미지 센서 각각으로부터 n비트씩 입력되는 데이터를 메모리에 입력하기 위한 수단으로서, 상기 이미지 센서와 메모리 사이에 데이터 컨트롤러를 개입시켜, 데이터 컨트롤러에 입력되는 데이터를 저장하고 일정 수의 데이터가 축적될 때마다 저장된 데이터를 메모리로 출력함으로써 메모리로 전송되는 데이터가 공통 버스를 점유하는 시간 비율을 낮게 하고, 빈 시간 동안 다른 처리 예컨대 호스트 컴퓨터에의 데이터 전송등을 실시할 수 있는 화상 데이터 독취 장치를 개시하고 있다.

<32> 그러나, 상기 공보에 개시된 특허는 데이터가 공통 버스를 점유하는 시간 비율을 낮게 하기 위한 것으로서, 3×8라인 보간법 수행을 위한 사용되는 메모리를 하나로 감소시켜 메모리 제어를 단순화시키는 구성을 제시하지는 못한다.

#### 【발명이 이루고자 하는 기술적 과제】

<33> 본 발명의 목적은 하나의 메모리를 사용하여 3×8라인 보간법을 수행하는 영상 처리기에 3라인의 데이터를 공급할 수 있는 라인 버퍼를 제공하는 것이다.

<34> 본 발명의 또 다른 목적은 3×8라인 보간법을 수행하는 영상 처리기에 3라인의 데이터를 공급하는 라인 버퍼에서 메모리의 제어를 위해 요구되는 어드레스의 수를 줄임으로써 메모리 제어를 단순화 하는 것을 목적으로 한다.

<35> 본 발명의 또 다른 목적은 3×8라인 보간법을 수행하는 영상 처리기에 3라인의 데이터를 공급하는 라인 버퍼에서 메모리의 제어를 위해 요구되는 어드레스의 수를 줄이는 것을 목적으로 한다.

**【발명의 구성 및 작용】**

<36> 본 발명에 따른 이미지 보간용 메모리 제공 장치는, 읽기 및 쓰기 가능한 단일 메모리; 이전에 상기 메모리에 저장된 제1 라인 이미지 데이터를 2m 비트 단위로 저장하는 "전(prior) 센서 데이터 영역", 및 m 비트 단위로 입력되는 제2 라인 이미지 데이터를 2m 비트 단위로 저장하는 "현(present) 센서 데이터 영역"을 포함하는 버퍼 레지스터; 및 상기 메모리에 칩 인에이블 신호(CE), 쓰기 인에이블 신호(WE), 및 상기 현 센서 데이터 영역의 화상 데이터가 기록될 어드레스를 제공함으로써 상기 버퍼 레지스터에 저장된 제1 라인 이미지 데이터 및 제2 라인 이미지 데이터를 상기 메모리에 기록 및 판독하며, 상기 메모리에 저장된 제1 라인 데이터 및 제2 라인 데이터와 상기 이미지 센서로부터 전송되는 제3 라인 데이터의 출력을 제어하는 메모리 컨트롤러를 포함하는 것을 특징으로 한다.

<37> 본 발명의 바람직한 실시예에 따른 이미지 보간용 메모리 제공 장치는, 이미지를 촬상하여 상기 메모리 컨트롤러에 제공하는 이미지 센서; 및 상기 출력되는 제1, 제2 및 제3 라인의 데이터를 수신하여 이미지 보간을 수행하는 영상 신호 처리기를 더 포함하는 것을 특징으로 한다.

<38> 본 발명의 바람직한 실시예에 따른 이미지 보간용 메모리 장치에서, 상기 메모리 컨트롤러에 의한 메모리의 데이터의 판독 및 기록은 상위 2m 비트 및 하위 2m 비트로 구성된 4m 비트의 메모리 셀을 단위로 이루어지는 것을 특징으로 한다.

- <39> 본 발명의 보다 바람직한 실시예에 따른 이미지 보간용 메모리 제공 장치에서, 상기 메모리 컨트롤러는 3개의 데이터 출력 라인을 갖는 것을 특징으로 한다.
- <40> 본 발명의 보다 바람직한 실시예에 따른 이미지 보간용 메모리 제공 장치에서, 상기 메모리 컨트롤러는 상기 칩 인에이블 신호가 인에이블되고, 상기 쓰기 인에이블 신호가 디스에이블된 상태에서, 상기 메모리로부터 상기 제1 라인 데이터를 읽어들이고 상기 버퍼 레지스터의 전 센서 데이터 영역에 저장하고, 현재 입력되는 제2 라인 데이터를 상기 버퍼 레지스터의 현 센서 데이터 영역에 저장하며,
- <41> 상기 CE가 인에이블되고, 상기 WE가 인에이블된 상태에서, 상기 버퍼 레지스터에 저장된 상기 제1 라인 데이터 및 상기 제2 라인 데이터를 상기 메모리 셀을 단위로 상기 메모리에 저장하는 것을 특징으로 한다.
- <42> 본 발명의 보다 바람직한 실시예에 따른 이미지 보간용 메모리 제공 장치에서, 상기 메모리 컨트롤러는, 3×3 라인 보간을 수행하는 영상 처리기로의 출력을 위한 3개의 출력 라인을 가지며, 상기 메모리에 저장된 제1 라인 이미지 데이터 및 제2 라인 이미지 데이터를 읽어 들여, 상기 제1 라인 이미지 데이터는 제1 출력 라인을 통해, 상기 제2 라인 이미지 데이터는 제2 출력 라인을 통해, 그리고 상기 이미지 센서로부터 입력되는 제3 라인 이미지 데이터는 제3 출력 라인을 통해, 동일 클럭 내에서 출력하는 것을 특징으로 한다.
- <43> 본 발명의 보다 바람직한 실시예에 따른 이미지 보간용 메모리 제공 장치에서, 상기 메모리는 상기 메모리 셀의 상위 및 하위 데이터를 3×3 라인 보간을 수행하는 영상 처리기로 각각 출력하기 위한 제1 데이터 출력 라인 및 제2 데이터 출력 라인을 갖고, 상기 메모리 컨트롤러는 상기 3×3 라인 보간을 수행하는 영상 처리기로 출력하기 위한

제3 데이터 출력 라인을 가지며, 상기 메모리 셀의 상위 영역에 저장된 상기 전 센서 데이터는 상기 제1 데이터 출력 라인을 통해, 상기 메모리 셀의 하위 영역에 저장된 상기 현 센서 데이터는 상기 제2 데이터 출력 라인을 통해, 동일 클럭 내에 동기화되어, 상기 영상 처리기로 전달되는 것을 특징으로 한다.

<44> 본 발명의 보다 바람직한 실시예에 따른 이미지 보간용 메모리 제공 장치에서, 상기 이미지 센서로부터 입력되는 화상 데이터는 베이어(Bayer) 패턴 신호인 것을 특징으로 한다.

<45> 본 발명의 보다 바람직한 실시예에 따른 이미지 보간용 메모리 제공 장치에서, 상기 이미지 센서는 CCD(charged coupled device) 이미지 센서 또는 CMOS(complementary metal oxide semiconductor) 이미지 센서 중 하나인 것을 특징으로 한다.

<46> 본 발명에 따른 이미지 보간용 라인 데이터 제공 방법은, m 비트 데이터를 출력하는 이미지 센서로부터 입력되는 제1 라인의 데이터를 2m 비트 단위로 버퍼 레지스터의 현 센서 데이터 영역에 저장하는 단계; 상기 버퍼 레지스터의 현 센서 데이터 영역에 저장된 제1 라인의 데이터를 2m 비트 단위로 메모리에 저장하는 단계; 상기 버퍼 레지스터를 리프레쉬(refresh)하는 단계; 상기 메모리에 저장된 상기 제1 라인의 데이터를 2m 비트 단위로 읽어 들여 상기 버퍼 레지스터의 전 센서 데이터 영역에 저장하고, 상기 이미지 센서로부터 입력되는 제2 라인의 데이터를 2m 비트 단위로 상기 버퍼 레지스터의 현 센서 데이터 영역에 저장하는 단계; 상기 버퍼 레지스터의 전 센서 데이터 영역에 저장된 제1 라인의 데이터 및 상기 현 센서 데이터 영역에 저장된 제2 라인의 데이터를 4m 비트 단위로 상기 메모리에 저장하는 단계; 및 상기 메모리에 저장된 제1 라인의 데이터

및 제2 라인의 데이터와 이미지 센서로부터 입력되는 제3 라인의 데이터를 동일 클럭 내에서 영상 처리기로 출력하는 단계를 포함하는 것을 특징으로 한다.

<47> 본 발명의 바람직한 실시예에 따른 이미지 보간용 라인 데이터 제공 방법에서, 상기 영상 처리기로 출력하는 단계는, 상기 메모리에 연결된 메모리 컨트롤러가 상기 메모리에 저장된 제1 라인의 데이터를 읽어 들이는 단계; 상기 메모리 컨트롤러가 상기 메모리에 저장된 제2 라인의 데이터를 읽어 들이는 단계; 및 상기 메모리 컨트롤러가 이미지 센서로부터 입력되는 제3 라인의 데이터와 상기 메모리로부터 읽어들이는 제1 라인의 데이터 및 제2 라인의 데이터를 각각 별개의 라인을 통해 영상 처리기로 출력하는 단계를 포함하는 것을 특징으로 한다.

<48> 본 발명의 보다 바람직한 실시예에 따른 이미지 보간용 라인 데이터 제공 방법에서, 상기 영상 처리기로 출력하는 단계는, 상기 메모리는 제1 출력 라인 및 제2 출력 라인을 갖고, 상기 메모리 컨트롤러는 제3 출력 라인을 가지며, 동일 클럭 내에서, 상기 제1 라인 이미지 데이터를 상기 제1 출력 라인을 통해 출력하고, 상기 제2 라인 이미지 데이터를 상기 제2 출력 라인을 통해 출력하며, 상기 제3 라인 이미지 데이터를 상기 메모리 컨트롤러의 제3 출력을 통해 출력하는 단계를 포함하는 것을 특징으로 한다.

<49> 본 발명의 보다 바람직한 실시예에 따른 이미지 보간용 라인 데이터 제공 방법에서, 상기 메모리는 2개 라인의 상기 화상 데이터를 저장할 수 있는 용량을 갖는 것을 특징으로 한다.

<50> 본 발명의 보다 바람직한 실시예에 따른 3×8 라인 보간용 라인 데이터 제공 방법에서, 상기 화상 데이터의 한 라인은 일련의 픽셀로 구성된 것을 특징으로 한다.

- <51> 이하 도면을 참조하여 본 발명을 보다 상세하게 설명한다.
- <52> 도4는 본 발명에 따른 3×8 라인 보간용 메모리 제공 장치를 나타내고, 도5는 메모리(403) 및 메모리 컨트롤러(402) 간의 데이터 전송을 위한 상세 구성을 나타낸다.
- <53> 이미지 센서(401)는 이미지를 촬상하여 한 라인이 n개의 픽셀로 구성된 베이어 패턴으로 저장하고 화상 데이터를 m 비트 단위로 데이터 라인(406)을 통해 메모리 컨트롤러(402)로 전달한다. 한 픽셀의 데이터의 크기는 m 비트라고 가정하며, 통상적으로 베이어 패턴의 한 픽셀의 크기는 8비트, 즉  $m=8$ 이다. 이미지 프레임의 제1 라인 이미지 데이터가 이미지 센서(401)로부터 출력되어 메모리 컨트롤러(402)에 입력되면 메모리 컨트롤러(402)는 두 개의 픽셀 데이터를 버퍼 레지스터(405)의 하위 영역의 현(present) 데이터 영역 (3) 및 (4)에 기록한다. 여기서, 상기 버퍼 레지스터(405)는 4개의 영역 (1), (2), (3) 및 (4)로 구성되어 있다. 메모리(403)의 CE 및 WE를 인에이블하여 상기 버퍼 레지스터(405)의 현 데이터 영역에 기록된 데이터를 메모리(403)에 저장한 다음 버퍼 레지스터를 리프레쉬(refresh)한다.
- <54> 이미지 센서(401)로부터 제2 라인 이미지 데이터가 메모리 컨트롤러(402)에 입력되면 메모리 컨트롤러(402)는 픽셀 데이터 2개씩 즉, 2m 비트씩 버퍼 레지스터(405)의 현 데이터 영역 (3) 및 (4)에 m비트씩 각각 저장함과 동시에, 메모리(403)의 WE를 디스에이블시켜 메모리를 읽기 모드 상태로 만들고, 메모리(403)에 저장된 제1 라인 이미지 데이터를 2m 비트 단위로 메모리 컨트롤러(402)로 불러들여 버퍼 레지스터(405)의 전(prior) 데이터 영역 (1) 및 (2)에 기록한다. 따라서, 버퍼 레지스터(405)의 전 데이터 영역(상위 영역)에는 2m 비트의 제1 라인 이미지 데이터가 저장되고, 현 데이터 영역(하위 영역)에는 2m 비트의 제2 라인 이미지 데이터가 저장된다.



<55> 그리고 나서, 메모리 컨트롤러(402)는 메모리(403)의 WE를 인에이블하여 버퍼 레지스터(405)의 전 데이터 영역 (1) 및 (2)와 현 데이터 영역 (3) 및 (4)에 각각 저장된 2m 비트의 제1 라인의 데이터와 2m 비트의 제2 라인의 데이터를 메모리(403)에 저장한다. 메모리(403)에 저장된 제1 라인의 데이터와 제2 라인 이미지 데이터는 데이터 라인(408)을 통해서 4m 비트 크기의 메모리 셀 단위로 메모리(403)에 전송되어 버퍼 레지스터(405)와 대응되는 메모리 셀(409)에 저장된다. 메모리(403) 내의 메모리 셀(409)의 저장 위치를 지정하기 위한 어드레스도 전송된다. 그리고 나서, 버퍼 레지스터(402)를 리프레쉬(refresh)한다.

<56> 그리고 나서, 이미지 센서(401)로부터의 제3 라인 이미지 데이터가 데이터 라인(406)을 통해 메모리 컨트롤러(402)에 입력되면, 메모리 컨트롤러(402)는 상기 제3 라인 이미지 데이터와, 상기 메모리(403)에 저장된 제1 라인 이미지 데이터 및 제2 라인 이미지 데이터를 각각 동일 클럭에서 데이터 전송 라인(411,412,413)을 통해 영상 신호 처리기(404)로 전달한다. 영상 신호 처리기(404)는 데이터 전송 라인(411,412,413)을 통해 m 비트 단위로 수신되는 제1, 제2 및 제3 라인 이미지 데이터를 수신하여 3×8 라인 보간을 수행한다.

<57> 도4 및 도5에 도시된 본 발명에 따른 3×8 라인 보간용 메모리 제공 장치에 따르면, 버퍼 레지스터(405)에 의해 두 라인의 데이터가 하나의 메모리 셀 단위로 묶여 4m 비트 단위로 메모리(403)로 전달된다. 따라서, 한 라인이 n개의 픽셀로 이루어져 있다고 가정하는 경우, 도2에 도시된 종래 메모리 제공 장치에 따르면 메모리(204,205) 각각에 n개의 어드레스가 요구되므로 총 2n개의 어드레스가 필요한 반면에, 본 발명에 따른 3×8

라인 보간용 메모리 제공 장치에 따르면, 메모리(403)에 데이터를 저장하기 위해 요구되는 어드레스의 수가  $n/2$ 개로 줄어든다.

<58> 도6은 본 발명에 따른  $3 \times 8$  라인 보간용 3개 라인 화상 데이터를 동시에 영상 처리기에 제공하기 위한 메모리 제공 장치의 동작을 설명하는 타이밍도이다. 도5와 도6을 함께 참조하여 메모리 제공 장치의 동작을 설명하면 다음과 같다.

<59> 센서 클럭이 기본 클럭이 된다. Hsync 및 WE는 하이일 때 인에이블 상태이고, CE는 로우일 때 인에이블 상태인 것으로 가정한다. 제1 라인의 데이터들이 이미 메모리(403)의  $addr_0, addr_1, addr_2, \dots, addr_{n/2}$  번지의 메모리 셀의 현(present) 데이터 영역(하위 영역)에 각각 저장되어 있다고 가정한다.

<60>  $t_1$ 에서 이미지의 한 프레임의 시작을 알리는 Hsync가 인에이블되면, 이미지 센서로부터 제2 라인의 데이터( $dp_0, dp_1, dp_2, dp_3, dp_4, \dots$ )가 m비트 단위로 출력된다. 제2 라인 이미지 데이터의 2 픽셀의 데이터  $dp_{01}$ (이하  $dp_0$  및  $dp_1$ 를 줄여서  $dp_{01}$ 로 표기하기로 한다.)가 출력되면 메모리 컨트롤러(402)는  $t_2$ 에서 CE를 인에이블하여 메모리(403)를 인에이블시키고, 상기 제2 라인의 첫번째 2 픽셀에 대한 데이터( $dp_0$  및  $dp_1$ )를 수신하여 버퍼 레지스터(405)의 현 데이터 영역(하위 영역)에 기록하고, 메모리의  $addr_0$  번지의 메모리 셀(409)의 하위 영역에 저장되어 있던 데이터( $dm_{0L}$ )를 버퍼 레지스터(405)의 전 데이터 영역(상위 영역)에 기록한 다음,  $t_3$ 에서 WE가 인에이블되면 메모리 컨트롤러는  $dp_{01}(dp_0$  및  $dp_1)$ 를  $addr_0$  번지의 메모리 셀(409)에 현 데이터 영역(하위 영역)에 저장한다.

- <61> 도6의 타이밍 도에서, 아래 첨자 L은 "메모리 셀(409)"의 하위 영역에 저장됨을 표시하고, H는 "메모리 셀(409)"의 상위 영역에 저장된 데이터임을 표시한다. 그리고 나서, 제2 라인의 그 다음 데이터들  $dp_{23}$ ,  $dp_{45}$  등을 마찬가지로 메모리(403)의  $addr_1$ ,  $addr_2$ ,  $addr_3, \dots, addr_{n/2-1}$  번지의 각 메모리 셀들(미도시)에 차례로 저장한다.
- <62> 그리고 나서, 버퍼 레지스터(405)의 전 데이터 영역으로 설정된 상위 영역에 기록된 제1 라인 이미지 데이터인  $dm_{0L}$  및 현 데이터 영역으로 설정된 하위 영역에 기록된 제2 라인 이미지 데이터인  $dp_{01}$ 을 메모리 셀(409)에 대응하는  $4m$  비트 크기의 단위로 메모리(403)에 전송하여  $addr_0$  번지의 메모리 셀(409)에 새로 저장한다. 즉, 원래  $addr_0$  번지의 메모리 셀(409)의 하위 영역에 저장되어 있던  $dm_{0L}$ 이 새로  $addr_0$  번지의 메모리 셀(409)의 상위 영역에 저장된다. 즉, 본 명세서에 따른 표기법에 의하면  $dm_{0L}$ 이  $dm_{0H}$ 가 된다.
- <63> 결과적으로 메모리 셀(409)의 상위 영역에는 원래 하위 영역에 저장되어 있던 제1 라인 이미지 데이터인  $dm_{0L}$ 이 저장되게 되고(즉,  $dm_{0H}$ 가 되고), 하위 영역에는 제2 라인 이미지 데이터인  $dp_{01}$ 이 저장된다. 그 다음, 버퍼 레지스터(405)를 리프레쉬한다.
- <64> 마찬가지로, 동일 라인의 다음 데이터  $dp_{23}$ 에 대해서도, 버퍼 레지스터(405)를 통해,  $addr_1$  번지의 메모리 셀(미도시)의 상위 영역에는 메모리(403)에 저장되어 있던 데이터인  $dm_{1L}$ 이 저장되고, 하위 영역에는 이미지 센서로부터 수신한  $dp_{23}$ 이 저장된다. 마찬가지로 버퍼 레지스터(405)를 통해  $addr_2$  번지의 메모리 셀(미도시)의 상위영역에는 메모리(403)에 저장되어 있던 데이터인  $dm_{2L}$ 이 저장되고, 하위 영역에는 이미지 센서로부터 수신한  $dp_{45}$ 가 저장된다. 제2 라인의 그 다음 데이터들도 마찬가지로 메모리(403)

의 메모리 셀에 저장된다. 결과적으로, 상위 영역에는 제1 라인의 데이터들( $dm_{0L}$ ,  $dm_{1L}$ ,  $dm_{2L}$ ...)을 포함하고, 하위 영역에는 제2 라인의 데이터들( $dp_{01}$ ,  $dp_{23}$ ,  $dp_{45}$ ,...)을 포함한  $n/2$ 개의 메모리 셀들이 메모리(403)에 저장된다. 따라서, 메모리 셀 단위로 메모리(403)에 데이터를 저장하기 위해 요구되는 어드레스 수는  $n/2$ 개이다.

<65> 그리고 나서, 메모리의  $addr_0$  번지의 메모리 셀에 저장된 제1 라인 이미지 데이터( $dm_{0L}$ ), 제2 라인 이미지 데이터( $dp_{01}$ ) 및 이미지 센서(301)로부터 입력되는 제3 라인 이미지 데이터를 각각  $m$ 비트 크기의 버스 라인(411,412,413)을 통해 영상 신호 처리기(404)로 전달한다.

<66> 이와 동시에, 메모리 컨트롤러는  $addr_0$  번지에 저장된 메모리 셀의 하위 영역에 저장된 데이터( $dp_{01}$ )를 불러들여 버퍼 레지스터(405)의 전 데이터 영역에 기록하고, 상기 제3 라인 이미지 데이터의 첫번째 두 픽셀에 대한 데이터를 버퍼 레지스터(405)의 현 데이터 영역에 기록한 다음, 이것을 메모리로 전송하여 메모리의  $addr_0$  번지에 있는 메모리 셀에 기록하고, 다음 클럭에서 이미지 센서로부터 수신되는 제4 라인 이미지 데이터와  $addr_0$ 에 저장된 제2 라인의 첫번째 두 픽셀에 대한 데이터( $dp_{01}$ ) 및 제3 라인의 첫번째 두 픽셀에 대한 데이터를 각각  $m$  비트 크기의 라인을 통해 영상 신호 처리기(404)로 전달한다.

<67> 이와 같이, 제1,2 및 3라인, 제2,3 및 4 라인, 제3,4 및 5라인이 동시에 영상 신호 처리기(404)에 전달된다.

<68> 이후의 데이터들도 이와 같은 방식에 의해 메모리(403)에 저장되었다가, 3라인씩 각각  $m$ 비트의 데이터 라인(411,412,413)을 통해 영상 신호 처리기(404)로 전달된다.

- <69> 여기서, 메모리(403)의 최소 용량은 2라인의 픽셀 데이터 즉,  $2n$ 개의 픽셀 데이터를 저장할 수 있는 용량이 요구된다.
- <70> 본 명세서에서는 영상 신호 처리기(404)로 전달되는  $m$  비트의 데이터 라인(411,412,413)이 메모리 콘트롤러(402)로부터 인출되는 것으로 가정하고 설명하였으나, 상기  $m$  비트의 데이터 라인(411,412,413)을 메모리 콘트롤러(402)로부터 인출하지 않고 메모리(403)로부터 인출하며, 메모리 콘트롤러(402)의 제어하에 영상 처리기(404)로 전달하도록 구성할 수도 있다.
- <71> 또한, 도5에서는 버퍼 레지스터(405)가 물리적으로 메모리 콘트롤러(402)의 내부에 배치되도록 도시하였으나, 이와 같은 구성 외에 메모리 콘트롤러(402)에 의해 제어되지만 한다면, 메모리 콘트롤러(405)의 내부 또는 외부 어디든 위치할 수 있다.
- <72> 이와 같이, 본 발명에 따른 데이터 전송 방식에 따르면,  $4m$  비트 크기의 메모리 셀 단위로 메모리에 저장하므로, 한 라인이  $n$ 개의 픽셀로 이루어진 경우  $n/2$ 개의 어드레스로 한 라인을 처리할 수 있으므로 결과적으로 사용되는 어드레스의 수가  $1/4$ 로 줄어든다. 또한, 메모리를 하나만 사용하기 때문에 메모리 제어에 필요한 CE 및 WE 등 메모리 제어 신호도 하나만 사용하여 처리할 수 있으므로 제어 신호도 절반으로 줄어든다.

#### 【발명의 효과】

- <73> 본 발명에 따르면, 하나의 메모리를 사용하여  $3 \times 3$ 라인 보간법을 수행하는 영상 처리기에 3라인의 데이터를 공급할 수 있는 라인 버퍼를 제공할 수 있다.

<74> 또한, 본 발명에 따르면, 3×8라인 보간법을 수행하는 영상 처리기에 3라인의 데이터를 공급하는 라인 버퍼에서 메모리의 제어를 위해 요구되는 어드레스의 수를 줄임으로써 메모리 제어를 단순화 할 수 있다.

<75> 또한, 본 발명에 따르면, 3×8라인 보간법을 수행하는 영상 처리기에 3라인의 데이터를 공급하는 라인 버퍼에서 메모리의 제어를 위해 요구되는 어드레스의 수를 줄임으로써 메모리 제어를 단순화 할 수 있다.

**【특허청구범위】****【청구항 1】**

읽기 및 쓰기 가능한 단일 메모리;

이전에 상기 메모리에 저장된 제1 라인 이미지 데이터를 2m 비트 단위로 저장하는 "전(prior) 센서 데이터 영역", 및 m 비트 단위로 입력되는 제2 라인 이미지 데이터를 2m 비트 단위로 저장하는 "현(present) 센서 데이터 영역"을 포함하는 버퍼 레지스터; 및

상기 메모리에 칩 인에이블 신호(CE), 쓰기 인에이블 신호(WE), 및 상기 현 센서 데이터 영역의 화상 데이터가 기록될 어드레스를 제공함으로써 상기 버퍼 레지스터에 저장된 제1 라인 이미지 데이터 및 제2 라인 이미지 데이터를 상기 메모리에 기록 및 판독하며, 상기 메모리에 저장된 제1 라인 데이터 및 제2 라인 데이터와 상기 이미지 센서로부터 전송되는 제3 라인 데이터의 출력을 제어하는 메모리 컨트롤러를 포함하는 것을 특징으로 하는 이미지 보관용 메모리 제공 장치.

**【청구항 2】**

제1항에 있어서,

이미지를 촬상하여 상기 메모리 컨트롤러에 제공하는 이미지 센서;

상기 출력되는 제1, 제2 및 제3 라인의 데이터를 수신하여 이미지 보관을 수행하는 영상 신호 처리기를 더 포함하는 것을 특징으로 하는 이미지 보관용 메모리 제공 장치.

**【청구항 3】**

제1항에 있어서,

상기 메모리 컨트롤러에 의한 메모리의 데이터의 판독 및 기록은 상위 2m 비트 및 하위 2m 비트로 구성된 4m 비트의 메모리 셀을 단위로 이루어지는 것을 특징으로 하는 이미지 보관용 메모리 제공 장치.

**【청구항 4】**

제1항에 있어서,

상기 메모리 컨트롤러는 3개의 데이터 출력 라인을 갖는 것을 특징으로 하는 이미지 보관용 메모리 제공 장치.

**【청구항 5】**

제3항에 있어서,

상기 메모리 컨트롤러는 상기 칩 인에이블 신호가 인에이블되고, 상기 쓰기 인에이블 신호가 디스에이블된 상태에서, 상기 메모리로부터 상기 제1 라인 데이터를 읽어들이고 상기 버퍼 레지스터의 전 센서 데이터 영역에 저장하고, 현재 입력되는 제2 라인 데이터를 상기 버퍼 레지스터의 현 센서 데이터 영역에 저장하며,

상기 CE가 인에이블되고, 상기 WE가 인에이블된 상태에서, 상기 버퍼 레지스터에 저장된 상기 제1 라인 데이터 및 상기 제2 라인 데이터를 상기 메모리 셀을 단위로 상기 메모리에 저장하는 것을 특징으로 하는 이미지 보관용 메모리 제공 장치.



**【청구항 6】**

제1항에 있어서,

상기 메모리 컨트롤러는, 3×8 라인 보간을 수행하는 영상 처리기로의 출력을 위한 3개의 출력 라인을 가지며, 상기 메모리에 저장된 제1 라인 이미지 데이터 및 제2 라인 이미지 데이터를 읽어 들여, 상기 제1 라인 이미지 데이터는 제1 출력 라인을 통해, 상기 제2 라인 이미지 데이터는 제2 출력 라인을 통해, 그리고 상기 이미지 센서로부터 입력되는 제3 라인 이미지 데이터는 제3 출력 라인을 통해, 동일 클럭 내에서 출력하는 것을 특징으로 하는 이미지 보간용 메모리 제공 장치.

**【청구항 7】**

제3항에 있어서,

상기 메모리는 상기 메모리 셀의 상위 및 하위 데이터를 각각 출력하기 위한 제1 데이터 출력 라인 및 제2 데이터 출력 라인을 갖고, 상기 메모리 컨트롤러는 제3 데이터 출력 라인을 가지며, 상기 메모리 셀의 상위 영역에 저장된 상기 전 센서 데이터는 상기 제1 데이터 출력 라인을 통해, 상기 메모리 셀의 하위 영역에 저장된 상기 현 센서 데이터는 상기 제2 데이터 출력 라인을 통해, 동일 클럭 내에 동기화되어 출력되는 것을 특징으로 하는 이미지 보간용 메모리 제공 장치.

**【청구항 8】**

제1항에 있어서,

상기 이미지 센서로부터 입력되는 화상 데이터는 베이어(Bayer) 패턴 신호인 것을 특징으로 하는 이미지 보간용 메모리 제공 장치.

## 【청구항 9】

제1항에 있어서,

상기 이미지 센서는 CCD(charged coupled device) 이미지 센서 또는 CMOS(complementary metal oxide semiconductor) 이미지 센서 중 하나인 것을 특징으로 하는 이미지 보관용 메모리 제공 장치.

## 【청구항 10】

m비트 데이터를 출력하는 이미지 센서로부터 입력되는 제1 라인의 데이터를 2m 비트 단위로 버퍼 레지스터의 현 센서 데이터 영역에 저장하는 단계;

상기 버퍼 레지스터의 현 센서 데이터 영역에 저장된 제1 라인의 데이터를 2m 비트 단위로 메모리에 저장하는 단계;

상기 버퍼 레지스터를 리프레쉬(refresh)하는 단계;

상기 메모리에 저장된 상기 제1 라인의 데이터를 2m 비트 단위로 읽어 들여 상기 버퍼 레지스터의 전 센서 데이터 영역에 저장하고, 상기 이미지 센서로부터 입력되는 제2 라인의 데이터를 2m 비트 단위로 상기 버퍼 레지스터의 현 센서 데이터 영역에 저장하는 단계;

상기 버퍼 레지스터의 전 센서 데이터 영역에 저장된 제1 라인의 데이터 및 상기 현 센서 데이터 영역에 저장된 제2 라인의 데이터를 4m 비트 단위로 상기 메모리에 저장하는 단계; 및



상기 메모리에 저장된 제1 라인의 데이터 및 제2 라인의 데이터와 이미지 센서로부터 입력되는 제3 라인의 데이터를 동일 클럭 내에서 영상 처리기로 출력하는 단계를 포함하는 것을 특징으로 하는 이미지 보간용 라인 데이터 제공 방법.

**【청구항 11】**

제10항에 있어서,

상기 영상 처리기로 출력하는 단계는,

상기 메모리에 연결된 메모리 컨트롤러가 상기 메모리에 저장된 제1 라인의 데이터를 읽어 들이는 단계;

상기 메모리 컨트롤러가 상기 메모리에 저장된 제2 라인의 데이터를 읽어 들이는 단계; 및

상기 메모리 컨트롤러가 이미지 센서로부터 입력되는 제3 라인의 데이터와 상기 메모리로부터 읽어들이는 제1 라인의 데이터 및 제2 라인의 데이터를 각각의 별개의 라인을 통해 영상 처리기로 출력하는 단계를 포함하는 것을 특징으로 하는 이미지 보간용 라인 데이터 제공 방법.

**【청구항 12】**

제10항에 있어서,

상기 영상 처리기로 출력하는 단계는,

상기 메모리는 제1 출력 라인 및 제2 출력 라인을 갖고, 상기 메모리 컨트롤러는 제3 출력 라인을 가지며,

동일 클럭 내에서, 상기 제1 라인 이미지 데이터를 상기 제1 출력 라인을 통해 출력하고, 상기 제2 라인 이미지 데이터를 상기 제2 출력 라인을 통해 출력하며, 상기 제3 라인 이미지 데이터를 상기 메모리 컨트롤러의 제3 출력을 통해 출력하는 단계를 포함하는 것을 특징으로 하는 이미지 보간용 라인 데이터 제공 방법.

**【청구항 13】**

제10항에 있어서,

상기 메모리는 2개 라인의 상기 화상 데이터를 저장할 수 있는 용량을 갖는 것을 특징으로 하는 이미지 보간용 라인 데이터 제공 방법.

**【청구항 14】**

제10항에 있어서,

상기 화상 데이터의 한 라인은 일련의 픽셀로 구성된 것을 특징으로 하는 이미지 보간용 라인 데이터 제공 방법.

【도 1】

G1	R1	G2
B1	G3	B2
G4	R2	G5

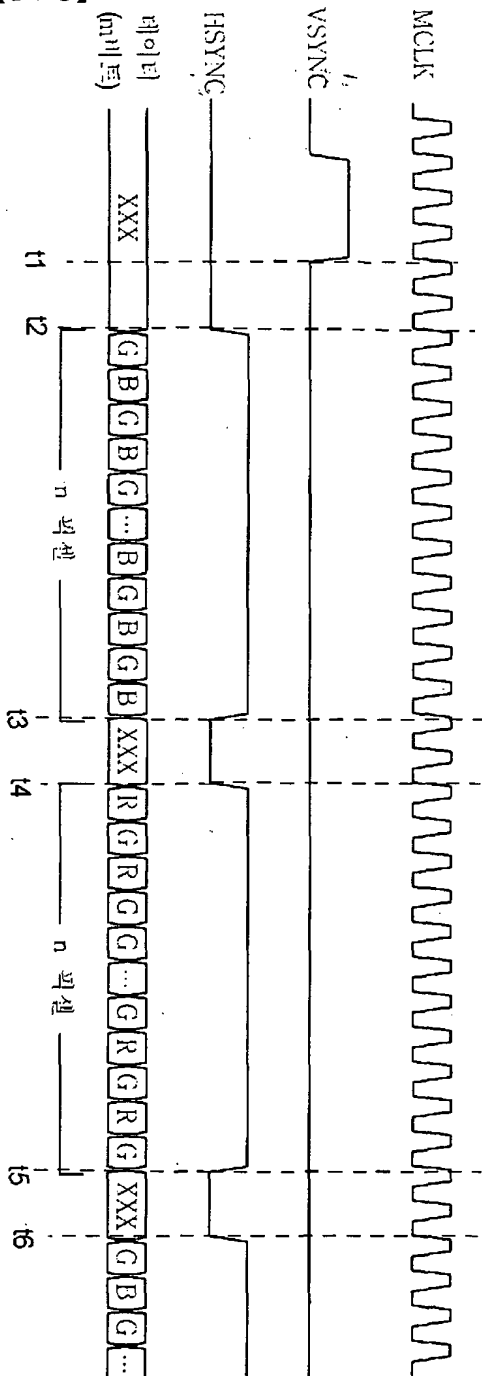
(2)

B1	G1	B2
G2	R1	G3
B3	G4	B4

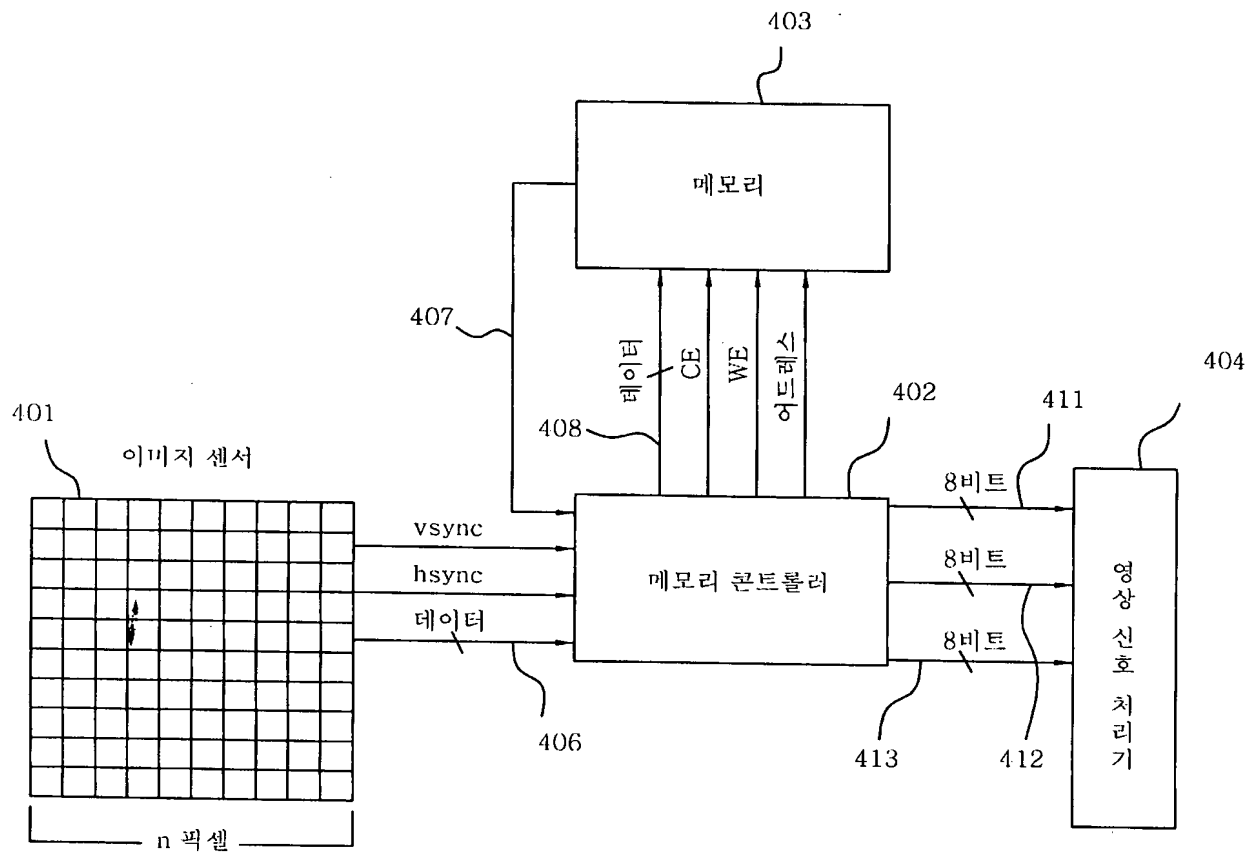
(4)

Figure 1 is a block diagram of a video processing system. The system includes an image sensor (201) which outputs video data to a memory controller (206) via vsync, hsync, and data lines. The memory controller (206) is connected to a memory bank (202) containing memory #1 (204) and memory #2 (205). The memory bank (202) also receives address, CE, and WE signals from the memory controller (206). The memory bank (202) outputs video data to a video signal processor (203).

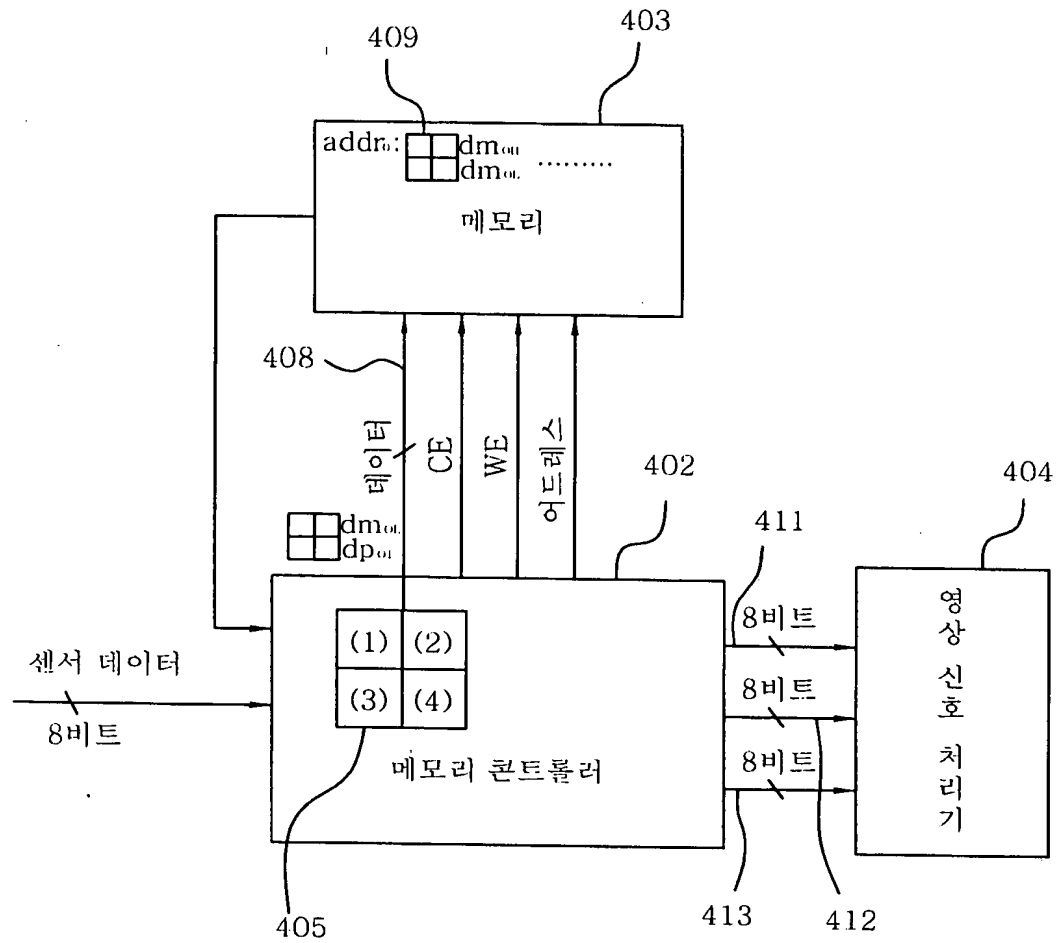
【표 3】



【도 4】



【도 5】





【도 6】

